

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-261956  
 (43)Date of publication of application : 29.09.1998

(51)Int.CI. H03L 7/08  
 H04N 5/05  
 H04N 5/12

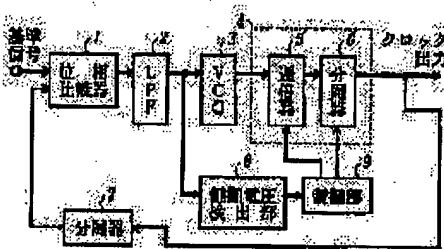
(21)Application number : 09-067088 (71)Applicant : FUJITSU GENERAL LTD  
 (22)Date of filing : 19.03.1997 (72)Inventor : NISHIMURA EIZO

### (54) CLOCK GENERATING CIRCUIT

#### (57)Abstract:

PROBLEM TO BE SOLVED: To extend a lock range of a phase locked loop(PLL) circuit and to extend the variable range of a clock frequency.

SOLUTION: A reference clock generated by a voltage controlled oscillator circuit(VCO) 3 is multiplied to M-fold by a multiplier of a clock generator 4, frequency-divided to 1/N by a frequency divider 6, frequency-divided by a frequency divider 7 into a frequency of a reference signal and is inputted to a phase comparator 1 in which the phase is compared with a phase of the reference signal. A signal corresponding to the phase difference outputted from the phase comparator 1 is inputted to a low pass filter 2 in which a DC component is taken-out and is applied to the VCO 3 as a control voltage. The control voltage is detected by a control voltage detection part 8 and controls a multiple ratio of the multiplier 5 or a frequency division ratio of the frequency divider 6 corresponding to the detected value.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-261956

(43)公開日 平成10年(1998)9月29日

(51)Int.Cl.<sup>6</sup>

H 03 L 7/08

H 04 N 5/05

5/12

識別記号

F I

H 03 L 7/08

N

H 04 N 5/05

5/12

審査請求 未請求 請求項の数7 OL (全4頁)

(21)出願番号 特願平9-67088

(22)出願日 平成9年(1997)3月19日

(71)出願人 000006511

株式会社富士通ゼネラル

神奈川県川崎市高津区未長1116番地

(72)発明者 西村 栄三

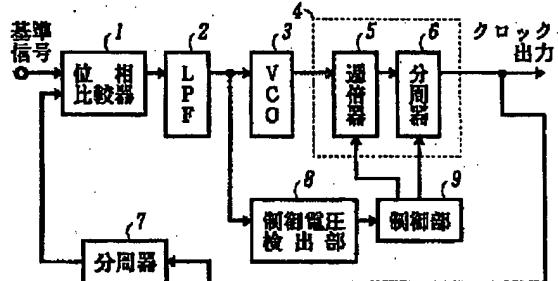
川崎市高津区未長1116番地 株式会社富士  
通ゼネラル内

(54)【発明の名称】 クロック生成回路

(57)【要約】

【課題】 クロック周波数の可変範囲を拡大し、PLL回路のロックレンジを拡大する。

【解決手段】 VCO 3で発生される基準クロックをクロックジェネレータ 4の倍増器でM倍に倍増し、分周器 6でN分の1に分周し、分周器 7で基準信号の周波数に分周し、位相比較器 1に入力し、基準信号と位相を比較する。位相比較器 1より出力される位相差に対応する信号をLPF 2に入力し、直流成分を取り出し、VCO 3に制御電圧として印加する。この制御電圧を制御電圧検出部 8で検出し、検出値に応じて制御部 9を介し倍増器 5の倍増比あるいは分周器 6の分周比を制御する。



(2)

## 【特許請求の範囲】

【請求項1】 基準クロックを発生する第1電圧制御発振回路と、第1電圧制御発振回路よりの基準クロックを所要の周波数に変換するクロックジェネレータと、前記第1電圧制御発振回路に印加される制御電圧を検出する制御電圧検出部と、制御電圧検出部よりの信号に基づき前記クロックジェネレータの周波数変換比を制御する制御部とからなるクロック生成回路。

【請求項2】 前記クロックジェネレータは、第1電圧制御発振回路よりの基準クロックを遅倍する遅倍器からなり、前記制御電圧検出部よりの信号に基づいて制御部を介し遅倍器の遅倍比を制御するようにした請求項1記載のクロック生成回路。

【請求項3】 前記クロックジェネレータは、第1電圧制御発振回路よりの基準クロックを分周する第1分周器からなり、前記制御電圧検出部よりの信号に基づいて制御部を介し第1分周器の分周比を制御するようにした請求項1記載のクロック生成回路。

【請求項4】 前記クロックジェネレータは、第1電圧制御発振回路よりの基準クロックを遅倍する遅倍器と、遅倍器よりのクロックを分周する第1分周器からなり、前記制御電圧検出部よりの信号に基づいて制御部を介し遅倍器の遅倍比または第1分周器の分周比を制御するようにした請求項1記載のクロック生成回路。

【請求項5】 入力される基準信号および比較信号の位相を比較する位相比較器と、クロックを分周する第2分周器とを設け、位相比較器よりの信号に基づく電圧を前記第1電圧制御発振回路に印加し、前記クロックジェネレータよりのクロックを前記第2分周器で分周し、前記位相比較器に入力するようにした請求項1乃至請求項4のいずれかに記載のクロック生成回路。

【請求項6】 前記第1電圧制御発振回路とは異なる周波数の基準クロックを発生する第2電圧制御発振回路を少なくとも1個設けると共に、第1電圧制御発振回路よりの基準クロックと前記第2電圧制御発振回路よりの基準クロックとを切換えるスイッチを設け、前記制御電圧検出部よりの信号に基づいて制御部を介しスイッチを切換え、前記クロックジェネレータに入力するようにした請求項1乃至請求項5のいずれかに記載のクロック生成回路。

【請求項7】 前記第1電圧制御発振回路および第2電圧制御発振回路の基準クロックの周波数は、前記クロックジェネレータによる変換後の周波数の不連続範囲が重ならないように設定した請求項6記載のクロック生成回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は映像信号のデジタル処理に用いるクロックの生成回路に係り、クロック周波数の可変範囲を拡大し、PLL（位同期ループ）回

2

路のロックレンジを拡大するものに関する。

## 【0002】

【従来の技術】 映像信号をデジタル処理するには映像信号と同期したクロックが必要であり、例えば、PLL回路によりクロックを生成する。PLL回路は、電圧制御発振回路（VCO）で基準クロックを発生し、この基準クロックを分周器により、映像信号より分離された基準信号、例えば、水平同期信号の周波数に分周し、水平同期信号と共に位相比較器に入力し、位相を比較し、位相差の出力信号をLPF（低域濾波器）に入力して位相差に応じた直流電圧とし、この電圧をVCOに印加して発振周波数を制御するように構成し、基準信号に同期した安定でかつ正確なクロックを生成する。ところで、PLL回路は映像信号源の周波数安定度によっては広いロックレンジを必要とするが、PLL回路のロックレンジはVCOの性能によって決まるもので、VCOの周波数可変範囲を越えた周波数を引き込むことができない。ロックレンジを広げるには、例えば、コイルとコンデンサ等を用いてコルピツツ形発振回路等を構成し、コイルあるいはコンデンサの容量を可変して周波数を変化させる方法があり、周波数可変範囲を広くすることは可能であるが、周波数可変範囲を広くすることは制御電圧に対するVCOの利得を大きくとることであり、周波数の安定性が得られにくく、ジッタや位相ずれ等が生じやすく、映像信号のデジタル処理のように高い安定度を要求されるものには不向きである。また、波形に歪みが生じやすいという問題もある。周波数の安定性を高くするには発振回路に水晶振動子を用いる方法があるが、周波数可変範囲を広くとることが難しい。

## 【0003】

【発明が解決しようとする課題】 本発明はこのような点に鑑み、周波数可変範囲が広く、かつ、安定度の高いクロックを供給できるようにすることにある。

## 【0004】

【課題を解決するための手段】 本発明は上述の課題を解決するため、基準クロックを発生するVCOと、VCOよりの基準クロックを所要の周波数に変換するクロックジェネレータと、前記VCOに印加される制御電圧を検出する制御電圧検出部と、制御電圧検出部よりの信号に基づき前記クロックジェネレータの周波数変換比を制御する制御部とからなるクロック生成回路を提供するものである。

## 【0005】

【発明の実施の形態】 本発明によるクロック生成回路では、第1VCOで基準クロックを発生し、この基準クロックをクロックジェネレータ（遅倍器、第1分周器、または遅倍器および第1分周器で構成される）で所要の周波数に変換する。第1VCOに印加される制御電圧を制御電圧検出部で検出し、制御電圧検出部よりの信号に基づいて制御部によりクロックジェネレータの周波数変換

(3)

3

比(通倍比、分周比)を制御する。クロックジェネレータよりのクロックを第2分周器で分周し、映像信号より分離した水平同期信号等の基準信号と共に位相比較器に入力し、位相を比較し、位相差の出力信号をL.P.F.に入力して直流電圧を取出し、第1VCOに印加し、発振周波数を制御し、基準信号に同期した安定かつ正確なクロックを生成する。あるいは第1VCOとは異なる周波数の基準クロックを発生する第2VCOを設け、制御電圧検出部よりの信号に基づき制御部を介しスイッチを切換え、第1VCOよりの基準クロックまたは第2VCOよりの基準クロックをクロックジェネレータに入力するようとする。

#### 【0006】

【実施例】以下、図面に基づいて本発明によるクロック生成回路の実施例を詳細に説明する。図1は本発明によるクロック生成回路の一実施例の要部ブロック図である。図において、1は位相比較器で、映像信号より分離された水平同期信号等の基準信号と、分周器7よりの比較信号の位相を比較する。2はL.P.F.で、位相比較器1よりの信号の直流成分を取出す。3はVCOで、L.P.F.2よりの電圧、すなわち制御電圧に応じた周波数の基準クロックを発生する。4はクロックジェネレータで、通倍器5および分周器6で構成され、VCO3よりの基準クロックを通倍器5でM倍に通倍し、通倍器5よりのクロックを分周器5でN分の1に分周する。分周器7は、クロックジェネレータ4よりのクロックを基準信号の周波数に分周して比較信号とし、位相比較器1に入力する。8は制御電圧検出部で、L.P.F.2よりの制御電圧を検出する。9は制御部で、制御電圧検出部8よりの信号に基づいてクロックジェネレータ4の周波数の変換比、すなわち通倍器5の通倍比、あるいは分周器6の分周比を制御する。

【0007】図2は本発明によるクロック生成回路の他の実施例の要部ブロック図であり、3aおよび3bはVCOで、L.P.F.2よりの制御電圧に応じて異なる周波数の基準クロックを発生する。11はスイッチで、制御電圧検出部8よりの信号に基づき制御部12よりの信号にてVCO3aよりの基準クロック(a側)またはVCO3bよりの基準クロック(b側)に切換え、クロックジェネレータ4に入力する。制御部12はスイッチ11の切換え、および制御電圧検出部8よりの信号に基づき通倍器5の通倍比あるいは分周器6の分周比を制御する。その他の符号は図1と同じであるので説明を省く。

【0008】次に、本発明によるクロック生成回路の動作を説明する。図1の場合、基準信号、例えば、映像信号より分離された水平同期信号は位相比較器1に入力し、分周器7よりの比較信号と位相を比較し、位相差に応じた信号を出力する。この信号をL.P.F.に入力して直流成分を取出し、制御電圧としてVCO3に印加し、VCO3は制御電圧に応じた周波数の基準クロックを発生

4

する。この基準クロックはクロックジェネレータ4に入力し、通倍器5でM倍に通倍、または分周器6でN分の1に分周、あるいは通倍器5および分周器6でM/N倍に通倍・分周され、クロック出力する。このクロックは分周器7で基準信号の周波数に分周され、比較信号として位相比較器1に入力し、これによりPLL(Phase Locked Loop)が形成される。制御部9は制御電圧検出部8で検出されたVCO3の制御電圧に対応する信号に基づきクロックジェネレータ4の通倍比・分周比を制御する。

【0009】VCO3の基準クロックの周波数可変範囲が $\Delta f$ で、中心周波数を $f_0$ とすると、中心周波数 $f_0$ はクロックジェネレータ4によりM/N倍されて $f_{vco}$ が得られ、このときの周波数可変範囲は

$$f_{vco} = (f_0 \pm \Delta f) \times M \div N$$

である。中心周波数 $f_0$ は最小 $1/N$ のステップで切換えることができる、VCO3に発振周波数の可変範囲が $f_0$ の $1/N$ 以上のものを用いるか、あるいは、分周器6の分周比NのステップをVCO3の周波数可変範囲より小さいものにすることにより、隣接ステップとの間で周波数可変範囲をクロスオーバーさせることができ、制御電圧検出部8よりの信号に応じてクロックジェネレータ4の通倍比Mおよび分周比Nを制御することにより、 $f_0/N \sim f_0 \times M$ の周波数可変範囲のクロック生成回路を得ることができる。

【0010】分周器6の分周比NをVCO3の周波数可変範囲より小さいステップで切換えられない場合、クロック出力の周波数に不連続箇所が発生する。このような場合、図2に示す如く異なる周波数の基準クロックを発生するVCO3aとVCO3bとを設け、かつ、通倍/分周後の周波数可変範囲の不連続部分がVCO3aとVCO3bとで重ならないように双方の中心周波数を設定することにより、例えば、当初はスイッチ11をa側に切換えておき、制御電圧検出部8による検出値がVCO3aの周波数可変範囲ではロックしきれない場合は制御部12を介してスイッチ11をVCO3b側に切換えるようにする。なお、上記ではVCOを2個設ける例で説明したが、周波数可変範囲によってはVCOを3個若しくは3個以上設けるようにてもよい。

#### 【0011】

【発明の効果】以上に説明したように、本発明によるクロック生成回路によれば、VCOに印加される制御電圧に応じてクロックジェネレータの通倍比あるいは分周比を切換えるもので、分周比を適宜に設定することによりあたかも多数のVCOを連続的に切換えるが如くに周波数範囲を大幅に拡大することができ、しかも、高い周波数安定度を得ることができる。なお、分周器の分周比のステップを小さくできない場合、基準クロック周波数の異なるVCOを設け、クロックジェネレータによる通倍/分周後の周波数可変範囲の不連続部分が重ならないよ

(4)

5

うに双方の中心周波数を設定し、制御電圧に応じて VCO を切換えることにより、上記同様、広い周波数可変範囲と高い安定度を得ることができる。

## 【図面の簡単な説明】

【図 1】本発明によるクロック生成回路の一実施例の要部ブロック図である。

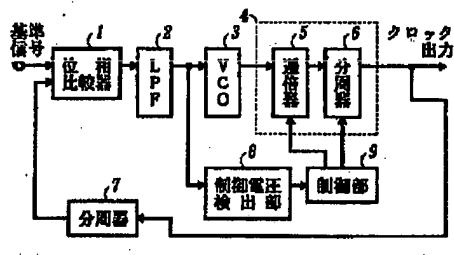
【図 2】本発明によるクロック生成回路の他の実施例の要部ブロック図である。

## 【符号の説明】

6

- 1 位比較器
- 2 L P F
- 3、3a、3b VCO (電圧制御発振回路)
- 4 クロックジェネレータ
- 5 通倍器
- 6、7 分周器
- 8 制御電圧検出部
- 9、12 制御部
- 11 スイッチ

【図 1】



【図 2】

